

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-880

⑮ Int. Cl. ⁵

識別記号

庁内整理番号

⑮公開 平成4年(1992)1月6日

H 04 N 5/335

E

8838-5C

H 01 L 27/146

8122-4M H 01 L 27/14

A

審査請求 未請求 請求項の数 1 (全14頁)

⑭ 発明の名称 固体撮像素子

⑯特 願 平2-100639

⑯出 願 平2(1990)4月17日

⑯発 明 者 浜 崎 正 治 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑯出 願 人 ソ ニ ー 株 式 会 社 東京都品川区北品川6丁目7番35号

⑯代 理 人 弁理士 松隈 秀盛

明 細 書

発明の名称 固体撮像素子

特許請求の範囲

複数の画素がマトリクス状に配列されてなる固体撮像素子において、

上記画素は、受光素子と、その受光素子からの信号電荷を増幅する増幅手段と、行選択リセットスイッチ及び列選択リセットスイッチが直列に接続されて各リセットスイッチに対する行選択及び列選択により、上記信号電荷をリセットするリセット手段と、列選択により上記増幅手段からの増幅された信号電荷を信号線に供給する列選択スイッチとを有すると共に、互いに隣接する画素のうち、一方の画素における上記リセット手段の列選択リセットスイッチに対する列選択と、他方の画素における上記列選択スイッチに対する列選択とが共用されていることを特徴とする固体撮像素子。

発明の詳細な説明

〔産業上の利用分野〕

本発明は、複数の画素がマトリクス状に配列さ

れてなる固体撮像素子に関し、特に各画素内において光信号電荷が増幅される内部増幅型の固体撮像素子に関する。

〔発明の概要〕

本発明は、複数の画素がマトリクス状に配列されてなる固体撮像素子において、上記画素を、受光素子と、その受光素子からの信号電荷を増幅する増幅手段と、行選択リセットスイッチ及び列選択リセットスイッチが直列に接続されて各リセットスイッチに対する行選択及び列選択により、上記信号電荷をリセットするリセット手段と、列選択により上記増幅手段からの増幅された信号電荷を信号線に供給する列選択スイッチとを有するようになすと共に、互いに隣接する画素のうち、一方の画素における上記リセット手段の列選択リセットスイッチに対する列選択と、他方の画素における上記列選択スイッチに対する列選択とが共用するように構成することにより、外部メモリ等を使用せずに固定パターン雑音、特にしきい値電圧

Vth等のばらつきに起因するオフセットを除去して、上記固定パターン雑音を低減化できるようにすると共に、感度の向上並びに消費電力の低減化をも図れるようにしたものである。

〔従来の技術〕

撮像素子の高解像度化に伴い、各画素毎に増幅機能を有した内部増幅型の固体撮像素子の研究が行われており、このような技術については、例えば「増幅型固体撮像素子AMI (Amplified MOS Intelligent Imager)」, "テレビジョン学会誌" 1075~1082頁, Vol. 41, No. 11, 1987年にその記載がある。

ここで、簡単に増幅型固体撮像素子の一例(所謂AMI)について説明すると、その素子の回路構成は、XYアドレス方式とされ、素子は第14図に一部省略して示すようにマトリクス状に配列された画素を有し、その各画素は受光素子(31)、垂直スイッチングトランジスタ(32)、増幅用トランジスタ(33)及びリセット用のリセットトランジスタ

増幅型の固体撮像素子としては、上記のAMIのほか、受光素子自身の増幅作用を利用したCMD (Charge Modulation Device) やSIT (Static Induction Transistor) などがある。

〔発明が解決しようとする課題〕

しかしながら、従来の増幅型固体撮像素子における共通の課題として固定パターン雑音がある。この固定パターン雑音の発生要因としては、トランジスタの製造プロセス途中でのゴミの付着、光学マスクの不均一、マスク合せ精度、露光条件などの加工精度の不均一から起因する各画素毎のトランジスタにおけるゲインむら、しきい値電圧Vthむら等がある。

こうした、ゲインむらについては、プロセス改善で対応し、しきい値電圧Vthむらに関しては、現在、外部メモリで対応している(1988年テレビジョン学会全国大会3-5「増幅型固定撮像素子AMIの固体パターンノイズ除去方式」参照)。この場合、フレームメモリが必要となるが、この

タ(34)より構成されている。このマトリクス状に配列された画素からなるイメージ部の周囲には、垂直走査のための第1垂直走査回路(35)と、リセット用の第2垂直走査回路(36)と、水平走査のための水平走査回路(37)が設けられている。水平走査回路(37)は水平スイッチングトランジスタ(38)のオン・オフを制御する回路であり、その水平スイッチングトランジスタ(38)は、ビデオラインSと各垂直信号線の接続を制御するように設けられている。第1垂直走査回路(35)、第2垂直走査回路(36)は、それぞれ各行の垂直スイッチングトランジスタ(32)、リセットトランジスタ(34)を制御し、それぞれ各行の画素で共通の制御が行なわれる。

第15図は、この素子の読み出しの際の波形図であり、第1垂直走査回路(35)によって或る行が選択されているものとする。水平走査回路(37)からの信号φHに応じて、水平スイッチングトランジスタ(38)がオン・オフし、順に信号φSがビデオラインSに現れる。

フレームメモリを1画素8bit構成とした場合、 $780(H) \times 500(V)$ 画素のディスプレイでは $780 \times 500 \times 8 = 3.1 \text{ Mbit}$ 必要となる。また、 $1150(H) \times 500(V)$ 画素のHDTV対応のディスプレイでは $1150 \times 500 \times 8 = 4.8 \text{ Mbit}$ 必要となる。このように、外部メモリを使用する場合は、メモリ(例えばDRAM等)を付加する分だけコスト増となり、その消費電力も増加するという不都合がある。

そこで、外部メモリ等を使用せずに固定パターン雑音を低減化する方法として、第16図及び第18図に示す増幅型固体撮像素子(C)及び(D)が提案されている。尚、第14図と対応するものについては同符号を記す。

第16図に示す増幅型撮像素子(C)の各画素は、基本的には、第14図に示す各画素の構成とほぼ同じであるが、2つの水平走査回路(41)及び(42)と2つの垂直走査回路(43)及び(44)を有することで異なると共に、リセット手段が2つのMOSトランジスタ(45)及び(46)を直列に接続して構成されることで異なる。各MOSトランジスタ(45)及び

(46)は、夫々第2水平走査回路(42)及び第2垂直走査回路(44)からの列選択リセット線(HR)及び行選択リセット線(HR)によって夫々選択されるようになっている。そして、この固体撮像素子(C)において、固定パターン雑音の低減化を考慮した場合の読出しは、第17図に示すように、例えばn行に係る画素の信号を各列毎に読出す走査を考えると、まず、第1垂直走査回路(43)からの行選択信号 ϕVG のうち、n行に対する行選択線 VG_n のみが“H”レベル(高レベル)とされる(第17図A参照)。また、第1水平走査回路(41)からの列選択信号 ϕHS は、水平スイッチングトランジスタ(38)を走査する信号であり、順に垂直信号線 $HS_1, HS_2, \dots, HS_n, \dots$ と選択されて行く(第17図B参照)。このように走査することでn行の各画素の信号が列順毎にビデオラインVLに出力される。尚、第2垂直走査回路(44)からのリセット信号 ϕVR は、第17図Cに示すように、n行に関するリセット線 VR_n のみが“H”レベル(高レベル)とされ、第2水平走査回路(42)からのリセット信号

(31)の他端に接続され、2つのMOSトランジスタ(45)及び(46)が直列に接続されて構成されるリセット手段を有している。尚、MOSトランジスタ(51)のドレインには、電源電圧 V_{dd} が供給され、MOSトランジスタ(51)のゲート及びソースには夫々第1垂直走査回路(43)からの行選択線(VG)及び第1水平走査回路(41)からの垂直信号線(HS)が接続される。また、フォトダイオード(31)とGN D間には容量(52)が形成され、この容量(52)とフォトダイオード(31)間のノードに上記リセット手段が接続されるようになされる。また、リセット手段を構成する2つのMOSトランジスタ(45)及び(46)のうち、一方のMOSトランジスタ(45)には、第2水平走査回路(42)からの列選択リセット線(HR)が接続され、他方のMOSトランジスタ(46)には、第2垂直走査回路(44)からの行選択リセット線(VR)が接続される。そして、この固体撮像素子(D)の場合においても、第17図に示すように、各信号を制御すれば、外部メモリ等を使用せずに固定パターン雑音を低減化させることがで

特開平4-880(3)

ϕHR は、第17図Dに示すように、第1水平走査回路(41)からの列選択に応じて出力される。そして、特に、この例では、第17図Eに示すように、1つの画素に対する読出しの期間Tを3分割し、最初の期間T₁で光信号電荷Qにしきい値電圧 V_{th} 等のばらつきに起因するオフセット電荷 ΔQ が加えられた信号 $Q + \Delta Q$ を出力し、次の期間T₂でリセットをその画素に対して行ない、最後の期間T₃でオフセット電荷 ΔQ のみを出力する。このように、リセット動作を読出し期間Tの途中に挟みながら、画素に関する読出し期間Tを3分割して、 $Q + \Delta Q$ と ΔQ の2つの出力を行ない、($Q + \Delta Q$) - ΔQ の差信号を得ることによって、外部メモリ等を不要としてオフセットの無い光信号電荷Qの出力信号を得ることができる。

一方、第18図で示す固体撮像素子(D)の各画素は、ゲート下部に形成されたフォトダイオード(31)からの光信号電荷によってゲート直下の表面電位を変調させ、その変調に応じた増幅を行なうMOSトランジスタ(51)と、フォトリソグラフィ

きる。

ところが、第16図及び第18図に示す固体撮像素子(C)及び(D)は、複数の画素をマトリクス状に配列して構成されるイメージ部の周辺に4つの走査回路、即ち2つの水平走査回路(41)及び(42)と、2つの垂直走査回路(43)及び(44)を有するため、素子自体が大型化し、消費電力も増大すると共に、画素の開閉率を左右する配線の本数も4本となり、感度が劣化するという不都合がある。

本発明は、このような点に鑑み成されたもので、その目的とするところは、外部メモリ等を使用せずに固定パターン雑音の低減化を図ることができると共に、消費電力の低減化並びに感度の向上を図ることができる固体撮像素子を提供することにある。

(課題を解決するための手段)

本発明は、複数の画素(I)がマトリクス状に配列されてなる固体撮像素子(A)において、画素(I)

特開平4-880(4)

を受光素子(D)と、その受光素子(D)からの信号電荷を増幅する増幅手段(T_a)と、行選択リセットスイッチ(T_{ar})及び列選択リセットスイッチ(T_{ar})が直列に接続されて各リセットスイッチ(T_{ar})及び(T_{ar})に対する行選択及び列選択により、上記信号電荷をリセットするリセット手段(2)と、列選択により、増幅手段(T_a)からの増幅された信号電荷を信号線(L_s)に供給する列選択スイッチ(T_{ar})とを有するようにし、互いに隣接する画素(1)のうち、一方の画素(1)におけるリセット手段(2)の列選択リセットスイッチ(T_{ar})に対する列選択と、他方の画素(1)における列選択スイッチ(T_{ar})に対する列選択とが共用するように構成する。

【作用】

上述の本発明の構成によれば、信号線(L_s)を水平方向(行方向)に配線し、互いに隣接する画素(1)における列選択リセットスイッチ(T_{ar})及び列選択スイッチ(T_{ar})に対する列選択を共

用するようにしたので、複数の画素(1)がマトリクス状に配列されて構成されるイメージ部(3)の周辺に配置される走査回路の個数が3つ、即ち1つの水平走査回路(5)と2つの垂直走査回路(4a)及び(4b)で済み、消費電力を低減化させることができる。また、それに伴わない画素(1)の間口率を左右する配線の本数も3本で済み、密度を向上させることができる。また、1つの画素(1)に関する読み出し期間を3分割にし、リセット後、オフセット電荷のみを出力させることができるため、外部メモリ等を使用せずに固定パターン雑音を低減化させることができる。

このように、本発明によれば、固定パターン雑音の低減化と共に、消費電力の低減化並びに密度の向上を同時に図ることができる。

【実施例】

以下、第1図～第13図を参照しながら本発明の実施例を説明する。

第1図は、本実施例に係る増幅型固体撮像素子、

特に画素の構造がフォトダイオードで発生した光信号電荷に応じた電位をNOS FET(MOS型電界効果トランジスタ)のゲートに印加して電流増幅を行なうタイプの増幅型固体撮像素子(A)を示す回路図である。

この固体撮像素子(A)の各画素(1)は、フォトダイオード(D)と、夫々NOS FETで構成された増幅用トランジスタ(T_a)、水平スイッチングトランジスタ(T_{ar})及びリセット手段(2)である水平リセット用トランジスタ(T_{ar})、垂直リセット用トランジスタ(T_{ar})とを有して成り、これら画素(1)がマトリクス状に配列されて固体撮像素子(A)のイメージ部(3)を構成する。また、このイメージ部(3)の周辺には、垂直走査のための第1垂直走査回路(4a)と、リセット用の第2垂直走査回路(4b)と、リセットと水平走査を兼ねる水平走査回路(5)が設けられている。第1垂直走査回路(4a)は、NOS FETで構成された垂直スイッチングトランジスタ(T_v)のオン、オフを制御する回路であり、この垂直スイッチングトランジスタ

(T_v)は、垂直方向に延びるビデオラインVLと夫々水平方向に延びる各水平信号線(L_s)の接続を制御するように設けられている。第2垂直走査回路(4b)は、各行の垂直リセット用トランジスタ(T_{ar})を制御し、水平走査回路(5)は、互いに水平方向に隣接する画素(1)における一方の画素(1)の水平リセット用トランジスタ(T_{ar})と他方の画素(1)の水平スイッチングトランジスタ(T_{ar})を同時に制御する。そして、第1垂直走査回路(4a)からの行選択信号 ϕ_r によって例えばm行が選択(m 行に関する垂直スイッチングトランジスタ(T_v)がオン)されているものとする、水平走査回路(5)からの列選択信号 ϕ_c に応じて順次例えばn列、 $n+1$ 列……が選択され、それら順じて、図示の例では例えばm行n列、m行 $n+1$ 列……における画素(1)の出力電流がm行の垂直スイッチングトランジスタ(T_v)を介してビデオラインVLに現れるようになる。

次に、各画素(1)の構成を説明すると、各画素(1)におけるフォトトランジスタ(D)の一端子は、

特開平4-880(5)

増幅用トランジスタ(T_a)のゲートに接続され、フォトダイオード(D)で発生した光信号電荷に基づき電位が増幅用トランジスタ(T_a)のゲートに印加されるようになされている。また、増幅用トランジスタ(T_a)には、水平スイッチングトランジスタ(T_{sa})が直列に接続されると共に、水平スイッチングトランジスタ(T_{sa})のゲートには水平走査回路(4a)からの列選択線(ℓ_a)が接続され、更にこの水平スイッチングトランジスタ(T_{sa})のドレインは第1垂直走査回路(4a)からの水平信号線(ℓ_a)が接続される。また、フォトダイオード(D)の一端子は、上記増幅用トランジスタ(T_a)のほか、水平リセット用トランジスタ(T_{sa})にも接続される。この水平リセット用トランジスタ(T_{sa})は、直列に接続される垂直リセット用トランジスタ(T_{sv})と共にリセット手段(2)を構成する。そして、水平リセット用トランジスタ(T_{sa})のゲートには、水平走査回路(4a)からの列選択線(ℓ_a)が接続される。この場合の列選択線(ℓ_a)は、上記水平スイッチン

グトランジスタ(T_{sa})のゲートに接続される列選択線(ℓ_a)が例えば n 列目の列選択線(ℓ_a)であれば、 $n+1$ 列目の列選択線(ℓ_a)が接続される。即ち、各列選択線(ℓ_a)には、互いに隣接する画素(1)における一方の画素(例えば n 列目の画素(1))の水平リセット用トランジスタ(T_{sa})のゲートと、他方の画素(例えば $n+1$ 列目の画素(1))の水平スイッチングトランジスタ(T_{sa})のゲートが接続されて、一方の画素(1)に対する水平方向のリセット選択と、他方の画素(1)に対する水平(列)選択とが共用となるように構成されている。一方、垂直リセット用トランジスタ(T_{sv})のゲートには、第2垂直走査回路(4b)からのリセット線(ℓ_s)が接続される。尚、増幅用トランジスタ(T_a)及び垂直リセット用トランジスタ(T_{sv})の各ドレインには、夫々接地電位 V_{ss} 及びリセット電位 V_r が印加される。また、(4)は出力部を構成する増幅器である。

次に、本例に係る固体撮像素子(A)の動作、特にしきい値電圧 V_{th} 等のばらつきに起因するオ

フセット電荷 ΔQ を除去して固定パターン雑音を低減化させる読み出し方法について、第2図も参照しながら説明する。

まず、この固体撮像素子(A)の初期状態において、各画素(1)のフォトダイオード(D)にはリセット手段(2)を介して初期値 V_r がセットされている。続く受光期間において、入射光によって励起された電子がフォトダイオード(D)に吸収されるため、フォトダイオード(D)の電位が入射光に応じて減少する。この電位を増幅用トランジスタ(T_a)のゲートに印加する。尚、この固体撮像素子(A)においては、暗状態でも出力電流が大きく、入射光が増すに従って出力電流が減少する所謂ネガ型の特性を有する。次に、第1垂直走査回路(4a)からの行選択により、例えば m 行の垂直スイッチングトランジスタ(T_{sv})がオンされている状態で(第2図A参照)、水平走査回路(4a)からの列選択により、例えば $n-1$ 列を選択する(第2図C参照)。この列選択は、1次選択 $\phi H_{n-1}[1]$ と2次選択 $\phi H_{n-1}[2]$ とに分けら

れ、1次選択 $\phi H_{n-1}[1]$ は、その選択期間 T_{n-1} が短かく、2次選択 $\phi H_{n-1}[2]$ はその選択期間 T_{n-1} が上記1次選択の選択期間 T_{n-1} よりも長く設定される。そして、最初の1次選択 $\phi H_{n-1}[1]$ で $n-1$ 列目の画素(1)の読み出しと共に、 $n-2$ 列目の画素(1)に対しリセットを行なう。尚、この m 行選択時、例えば上記第1垂直走査回路(4a)からの m 行の画素(1)に対する選択信号 ϕV_m と同時に、第2垂直走査回路(4b)からも m 行に関する垂直リセット用トランジスタ(T_{sv})に対し、リセット線(ℓ_s)を介して垂直リセット信号 ϕV_{sv} を出力している(第2図B参照)ため、この1次選択 $\phi H_{n-1}[1]$ によって、 $n-2$ 列目の水平リセット用トランジスタ(T_{sa})が選択され、 m 行 $n-2$ 列目の画素(1)におけるフォトダイオード(D)が初期値 V_r にリセットされる。

そして、次の2次選択 $\phi H_{n-1}[2]$ で実質的な m 行 $n-1$ 列目の画素(1)の読み出しを行なう。また、この2次選択 $\phi H_{n-1}[2]$ の期間 T_{n-1} 内において、次の m 行 n 列目の画素(1)に関する1次選択 ϕH_n

特開平4-880(6)

[1]が行なわれる(第2図D参照)。このm行n列目の画素(1)に対する1次選択 $\phi H_{n-1}[1]$ は、m行n-1列目の画素(1)に対するリセットをも兼ねる。即ち、第2図Fに示すように、上記m行n-1列目の画素(1)に対する2次選択 $\phi H_{n-1}[2]$ は、このm行n列目の画素(1)に対する1次選択 $\phi H_{n-1}[1]$ により、その期間 T_{n-1} が3分割されたかたちとなる。従って、最初の期間 T_1 で光信号電荷 Q_{n-1} にしきい値電圧 V_{th} 等のばらつきに起因するオフセット電荷 ΔQ_{n-1} が加えられた電荷 $Q_{n-1} + \Delta Q_{n-1}$ に応じた信号 SO_{n-1} が垂直スイッチングトランジスタ(T_p)を介してビデオラインVLに信号 ϕV_L として現われる。次の期間 T_2 では、m行n列目の画素(1)に対する読出しとm行n-1列目の画素(1)に対するリセットが行なわれ、m行n列目の画素(1)に関する光信号電荷 Q_n にそのオフセット電荷 ΔQ_n とn-1列の画素(1)に関するオフセット電荷 ΔQ_{n-1} が加えられた電荷 $Q_n + \Delta Q_n + \Delta Q_{n-1}$ に応じた信号 $SO_n + O_{n-1}$ がビデオラインVLに現われる。そして、

次の期間 T_3 でm行n-1列目の画素(1)のオフセット電荷 ΔQ_{n-1} に応じた信号 O_{n-1} がビデオラインVLに現われる。即ち、m行n-1列目の画素(1)に関しては、その前の期間 T_2 でフォトダイオード(D)がリセットされていることから、フォトダイオード(D)に光信号電荷の蓄積の無い状態で再び信号が読出されることとなり、ビデオラインVLにオフセット電荷 ΔQ_{n-1} のみの信号 O_{n-1} が現われる。そして、後段の信号処理回路において、上記信号 SO_{n-1} と O_{n-1} の差($SO_{n-1} - O_{n-1}$)を取り、オフセット分の無い信号 S_{n-1} を得る。そして、次のm行n列目に関する画素(1)の読出しは、n列目の2次選択 $\phi H_n[2]$ とn+1列目の1次選択 $\phi H_{n+1}[1]$ により行なわれる(第2図E参照)。ここで上記信号 SO_{n-1} と O_{n-1} の差をとる回路としては、例えば差動増幅器を主体とした回路構成が採用でき、図示の例では、例えば信号 SO_{n-1} の出力時、スイッチ S_1 をオン(スイッチ S_2 をオフ)にして、コンデンサ C_1 に該信号 SO_{n-1} を蓄積したのち、各コンデンサ C_1 及び C_2 に蓄積された各信号 SO_{n-1} 及び O_{n-1} を次の差動増幅器(7)で差をとり、その出力端子 ϕ_{out} からオフセット分の無い信号 S_{n-1} を得る。この一連の動作を各列毎に行なうと、m行に関する各画素(1)について、オフセット分が除去された出力信号を得たのち、次の行、即ちm+1行を選択して上記と同様に順次m+1行の各画素(1)に関し、オフセット分が除去された出力信号を得る。このように、全ての行を順次選択して、イメージ部毎に撮像した映像情報を順次、後段の信号処理系に供給する。

出力時、スイッチ S_1 をオン(スイッチ S_2 をオフ)にして、コンデンサ C_1 に該信号 SO_{n-1} を蓄積したのち、各コンデンサ C_1 及び C_2 に蓄積された各信号 SO_{n-1} 及び O_{n-1} を次の差動増幅器(7)で差をとり、その出力端子 ϕ_{out} からオフセット分の無い信号 S_{n-1} を得る。この一連の動作を各列毎に行なうと、m行に関する各画素(1)について、オフセット分が除去された出力信号を得たのち、次の行、即ちm+1行を選択して上記と同様に順次m+1行の各画素(1)に関し、オフセット分が除去された出力信号を得る。このように、全ての行を順次選択して、イメージ部毎に撮像した映像情報を順次、後段の信号処理系に供給する。

上述の如く、本例によれば、信号線(E_n)を水平方向(行方向)に配線し、互いに隣接する例えばn-1列目の画素(1)における水平リセット用トランジスタ(T_{n-1})に対する選択線とn列目の画素(1)における水平スイッチングトランジスタ(T_n)に対する選択線とを1本の列選択線(E_n)で共用するようにしたので、イメージ部毎の周辺

に配置される走査回路の個数が従来よりも少ない3つ、即ち1つの水平走査回路(4a)と2つの水平走査回路(4b)及び(4b)で済み、消費電力を低減化させることができる。また、それに伴い画素(1)の開口率を左右する配線の本数も3本で済み、感度を向上させることができる。また、各1つの画素(1)に対し、リセットが行なえるため、全画素読出し(フレーム読出し)や2画素同時読出し(フィールド読出し)はもちろんのこと、電子シャッターの機能をも持たせることができ、読出しに関する自由度を向上させることができる。

また、1つの画素(1)に関する読出し期間、特に2次選択期間 T_{n-1} を次の画素(1)に関する1次選択期間 T_n で3分割にし、上記2次選択期間 T_{n-1} のうち、最初の期間 T_1 でオフセット分を加えた信号を出力し、次いで最後の期間 T_3 でオフセット分のみの信号を出力して、これら信号の差をとるようにしたので、外部メモリ等を使用せずに固定パターン雑音を低減化させることができる。

このように、本例によれば、固定パターン雑音

特開平4-880(ア)

の低減化と共に、消費電力の低減化並びに密度の向上を同時に図ることができる。

ところで、上記のように、オフセット分を除去して固定パターン雑音を低減化させる検出しには、第2図C〜Eに示すように、水平走査回路5aからの1次選択信号 $\phi H[1]$ と2次選択信号 $\phi H[2]$ が必要である。

次に、この1次選択信号 $\phi H[1]$ の出力と2次選択信号 $\phi H[2]$ の出力を可能にする回路例を第3図〜第6図に基いて説明する。

第3図は、論理積(AND)回路(11)と論理和(OR)回路(12)を用いて上記1次選択信号 $\phi H[1]$ と2次選択信号 $\phi H[2]$ を得るようにした水平走査回路(5a)を示す回路例である。

この水平走査回路(5a)は、シフトレジスタ(13)とロジックゲート部(14)から成り、上記AND回路(11)とOR回路(12)は、ロジックゲート部(14)に形成される。即ち、図示の例ではシフトレジスタ(13)からの選択信号、例えば ϕS_{n-1} と外部からのクロックパルス ϕR が供給されるAND回路

(11a_{n-1})と、該AND回路(11a_{n-1})からの出力信号 ϕS_n とシフトレジスタ(13)からの別の選択信号、例えば ϕS_n が供給されるOR回路(12a_n)がロジックゲート部(14)に形成される。そして、第4図に示すように、シフトレジスタ(13)から選択信号 ϕS_{n-1} 、 ϕS_n 、 ϕS_{n+1} …を順次出力させ(第4図A〜C参照)、また、外部からのクロックパルス ϕR として、選択信号 ϕS_{n-1} 、 ϕS_n 、 ϕS_{n+1} …の各出力期間内に夫々1つのパルスが存在するような出力タイミングを有するクロックパルス ϕR とすれば(第4図D参照)、例えば選択信号 ϕS_{n-1} とクロックパルス ϕR が供給されるAND回路(11a_{n-1})からは、第4図Eに示すように、クロックパルス ϕR のうち、選択信号 ϕS_{n-1} に対応するパルス ϕR_{n-1} のみが出力され、OR回路(12a_n)からは、AND回路(11a_{n-1})からの出力信号 ϕS_n ($=\phi R_{n-1}$)と選択信号 ϕS_n とが合成された信号 ϕS_n が出力される。このOR回路(12a_n)からの出力信号 ϕS_n は、n列に関する列選択信号 ϕH_n として用いられ、最初の立上がり

信号 $\phi H_n[1]$ が1次選択信号、次の立上がり信号 $\phi H_n[2]$ が2次選択信号となる。次に、選択信号 ϕS_n とクロックパルス ϕR が供給されるAND回路(11a_n)からは、クロックパルス ϕR のうち、選択信号 ϕS_n に対応するパルス ϕR_n のみが出力され(第4図G参照)、OR回路(12a_{n+1})からは、第4図Hに示すように、AND回路(11a_n)からの出力信号 ϕS_{n+1} ($=\phi R_n$)と選択信号 ϕS_{n+1} とが合成された信号 ϕS_{n+1} 、即ちn+1列に関する1次選択信号 $\phi H_{n+1}[1]$ と2次選択信号 $\phi H_{n+1}[2]$ を出力する。このとき、n+1列に関する1次選択信号 $\phi H_{n+1}[1]$ は、n列に関する2次選択信号 $\phi H_n[2]$ の出力期間内に出力され、第2図D及びEに示す列選択信号 ϕH_n 、 ϕH_{n+1} と同様の出力タイミングを有する出力信号を得る。尚、水平走査回路(5a)からの列選択信号、例えば ϕH_{n-1} をシフトレジスタ(13)からの選択信号 ϕS_{n-1} 、 ϕS_n とクロックパルス ϕR の論理式で示すと次式

$$\phi H_{n-1} = \phi S_{n-1} \times \phi R + \phi S_n \quad \dots (1)$$

となる。

次に、第5図に示す水平走査回路(5b)は、NOR回路(15)を利用して上記1次選択信号 $\phi H[1]$ と2次選択信号 $\phi H[2]$ を得るようにしたものである。

この水平走査回路(5b)は、シフトレジスタ(13)からの選択信号、例えば ϕS_n をNOT回路(16n)にて反転させた信号 $\overline{\phi S_n}$ と外部からの反転クロックパルス $\overline{\phi R}$ が供給される第1のNOR回路(15a_n)と、該第1のNOR回路(15a_n)からの出力信号 ϕS_{n+1} とシフトレジスタ(13)からの別の選択信号、例えば ϕS_{n+1} が供給される第2のNOR回路(15b_{n+1})と、この第2のNOR回路(15b_{n+1})からの出力信号 ϕS_{n+2} を反転させるNOT回路(17a_{n+1})がロジックゲート部(14)に形成されてなる。このNOT回路(17a_{n+1})からは、1次選択信号 $\phi H_{n+1}[1]$ と2次選択信号 $\phi H_{n+1}[2]$ で構成されたn+1列に関する列選択信号 ϕH_{n+1} が出力される。

即ち、説明の簡略化のために論理式で示すと、

特開平4-880(B)

第1のNOR回路(15an)からの出力は、次式

$$\phi S_{n+1} = (\phi S_n + \phi R) = \phi S_n \times \phi R \cdots (2)$$

となる。また、第2のNOR回路(15b_{n+1})からの出力は、次式

$$\phi S_{n+2} = \phi S_{n+1} + (\phi S_n \times \phi R) \cdots (3)$$

となり、最終的にNOT回路(17_{n+1})から出力される信号は、次式

$$\phi S_{n+1} + (\phi S_n \times \phi R) \cdots (4)$$

となり、上式(1)と同じになる。このことから、この水平走査回路(5b)から出力される信号 ϕH_{n+1} も第2図Eで示す信号となる。

次に、第6図に示す水平走査回路(5c)は、NAND回路(18)を利用して上記1次選択信号 $\phi H[1]$ と2次選択信号 $\phi H[2]$ を得るようにしたものである。

この水平走査回路(5c)は、シフトレジスタ(13)からの選択信号、例えば ϕS_n と外部からのクロックパルス ϕR が供給される第1のNAND回路(18an)と、該第1のNAND回路(18an)からの出力信号 ϕS_{n+1} とシフトレジスタ(13)からの別の選択信号、例え

ば ϕS_{n+1} をNOT回路(19_{n+1})で反転させた信号 ϕS_{n+1} が供給される第2のNAND回路(18b_{n+1})をロジックゲート部(14)に形成してなる。この第2のNAND回路(18b_{n+1})からは、1次選択信号 $\phi H_{n+1}[1]$ と2次選択信号 $\phi H_{n+1}[2]$ で構成された $n+1$ 列に関する列選択信号 ϕH_{n+1} が出力される。

即ち、上記と同様に論理式で示すと、第1のNAND回路(18an)からの出力は、次式

$$\phi S_{n+1} = \phi S_n \times \phi R \cdots (5)$$

となり、第2のNAND回路(18b_{n+1})からの出力は、次式

$$\begin{aligned} \phi S_{n+2} &= ((\phi S_n \times \phi R) \times \phi S_{n+1}) \\ &= (\phi S_n \times \phi R) + \phi S_{n+1} \cdots (6) \end{aligned}$$

となり、上式(1)と同じになる。このことから、この水平走査回路(5c)から出力される信号 ϕH_{n+1} も第2図Eで示す信号となる。尚、この水平走査回路(5c)においては、2つのNOT回路(19)及び(20)を直列に接続してなるバッファ(21)をシフトレジスタ(13)とロジックゲート部(14)間及び水平

走査回路(5c)の出力側に設けるようにしてもよい。第6図でかっこ書きにて示す。

このように、第3図～第6図で示す水平走査回路(5a)～(5c)によれば、一次選択信号 $\phi H[1]$ と2次選択信号 $\phi H[2]$ で構成される列選択信号 ϕH を容易に得ることができ、第1図で示す本例に係る固体撮像素子(A)における画素の読出し、特に外部メモリ等を使用せずに固体パターン雑音を低減せしめる読出しに寄与させることができる。

上記実施例は、増幅用トランジスタ(T_n)及びリセット手段(2)の電源電圧として夫々接地電位 V_{ss} 及びリセット電位 V_r を用いたが、共通の電源電圧 V_{dd} を用いるようにしてもよい。また、リセット手段(2)を1つのリセット用トランジスタで構成し、画素(1)に対するリセットを行単位に行なうようにしてもよい。この場合の固体撮像素子の構成、特にその画素の構成並びに垂直スイッ칭トランジスタ、水平スイッ칭トランジスタ及び出力部の構成を等価的に示すと第7図に示す

ような等価回路図になる。この図において、(T_n)はリセット用トランジスタ、(T_p)及び(T_r)は夫々水平及び垂直スイッ칭トランジスタを示す。(21)は出力部を構成するOPアンプである。

この固体撮像素子(B)は、上記第1図で示す固体撮像素子(A)と同様に、ビデオラインVLに流れる出力電流Iが暗時に最も多いため、固体撮像素子(B)のゲイナミックスレージを最大にしようとすると、OPアンプ(21)のA点の電位を0Vに近づける必要がある。ところが、上記OPアンプ(21)が図示の如く、反転増幅回路の構成をとる場合、確かにA点はイマジナルショートの原因により0Vになるが、出力電圧 V_{out} は、帰還抵抗 R_f による電位降下により負電圧になり、後段での信号処理が不利になる。また、暗時に最も出力電流Iが多く流れることから、出力電圧 V_{out} は第8図の曲線Iに示すように、暗時に最も負に振れることになる。従って、OPアンプ(21)のゲインを向上させる目的で帰還抵抗 R_f の抵抗値を変えると曲線IIで示すように、暗時、即

特開平4-880(9)

ち0レベルの出力電圧 V_{out} 。が大きく変動し、それに伴ない後段の信号処理系で改造等が必要になり、非常に使いにくい。また、OPアンプ(21)を第9図に示すように、非反転増幅回路の構成を採った場合、A点の電位が V_{dd} となり、出力電圧 V_{out} は、帰還抵抗 R_f による電圧上昇により V_{dd} より大きくなる。この場合も後段での信号処理が不利になる。

そこで本例では、第10図に示すように、OPアンプ(21)を反転増幅回路の構成とし、A点とGND間に一定の電流をGNDに落とす定電流源(22)を設置して構成する。この定電流源(22)は、その定電流値を暗時の電流値 I_1 に設定してなる。従って、暗時においては、固体撮像素子(B)からの出力電流 I_1 が全て定電流源(22)を介してGNDに落とされるため、出力電圧 V_{out} は0Vとなる。そして、入射光量の増加に伴って固体撮像素子(B)からの出力電流 I_1 が減少すると、帰還抵抗 R_f には第7図の場合とは逆の方向に電流が流れ、その電流値は

ところで、上記の例は、全画素読出し(フ列ム読出し)を行なった場合を示したが、その他の例として2画素同時読出し(フィールド読出し)を行う場合は、暗時の出力電流がフ列ム読出しの場合のほぼ2倍になるため、第10図で示す回路構成では不充分である。そこで第13図に示すように、帰還抵抗 R_f と並列にダイオード(23)を接続して構成すればよい。この構成によれば、暗時において、その出力電流 $2I_1$ のうち、 I_1 は定電流源(22)を介してGNDに落ち、残りの I_1 はダイオード(23)を介して出力側へ流れる。このとき、ダイオード(23)の抵抗値はほとんど無視できる程度に小さいため、出力電圧 V_{out} はほぼ0Vとなる。そして、このほぼ0Vとなる期間は、出力電流 I_1 が $1 \leq I_1 \leq 2I_1$ の期間である。一方、出力電流 I_1 が $I_1 < 1$ となったとき、今度は $I_{out} = I_1 - 1$ なる電流が出力側からA点側に向かって帰還抵抗 R_f を介して流れるため、この帰還抵抗 R_f において電圧上昇が生じ、入射光量の増加に伴って出力電圧 V_{out} も増加する。このよう

$$I_{out} = I_1 - 1$$

となり、この帰還抵抗 R_f において電圧上昇が生じる。その結果、第11図の曲線Iに示すように、入射光量の増加に伴って出力電圧 V_{out} も増加し、入射光量-出力電圧特性は、暗時の0Vを基準に右上がりの曲線を描く。

この例によれば、暗時の出力電圧 V_{out} を0Vに固定できると共に、入射光量の増加に伴って出力電圧 V_{out} を正(+)側に振らすことができるため、例えば第12図Aに示すような出力電流 I_1 が入力されている場合、第12図Bに示すような出力電圧 V_{out} を得ることができ、その後の信号処理が非常に簡便になる。尚、この第12図において、期間Iは暗時、期間IIは読出し期間を示す。また、OPアンプ(21)のゲインを向上させる目的で帰還抵抗 R_f の抵抗値を変えたとしても、第11図の曲線Iに示すように、暗時(0レベル)の出力電圧 V_{out} は0Vに固定されているため、後段の信号処理系の回路構成等が簡単になり、非常に使い易くなる。

に、フィールド読出しの場合も第11図の特性曲線の如く、暗時の0Vを基準に右上がりの曲線を描くこととなるため、その後の信号処理が非常に簡便となる。この回路構成は、フ列ム読出しの場合にも適用させることができる。また、第10図及び第13図に示す回路構成は、第1図で示す固体撮像素子(A)にも適用させることができる。

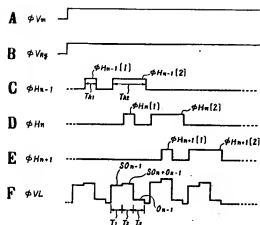
〔発明の効果〕

本発明に係る固体撮像素子によれば、外部メモリ等を使用せずに固定パターン雑音、特にしきい値電圧 V_{th} 等のばらつきに起因するオフセットを除去して上記固定パターン雑音を低減化させることができると共に、感度の向上並びに消費電力の低減化をも図ることができる。

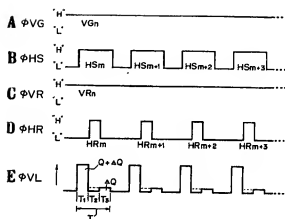
図面の簡単な説明

第1図は本実施例に係る増幅型固体撮像素子を示す回路図、第2図はその読出し動作の一例を示す波形成図、第3図は水平走査回路の一例を示す回路図、第4図はその動作の一例を示す波形成図、第

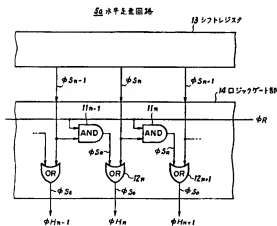
特開平 4-880 (11)



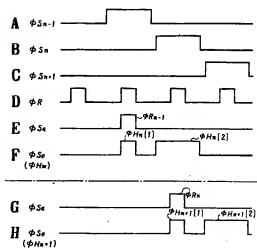
本実施例の動作を示す波形図
第 2 図



従来例の読出し動作を示す波形図
第 17 図

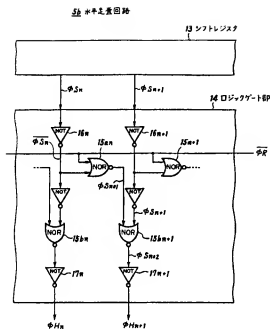


水平アドレス回路の一例を示す回路図
第 3 図

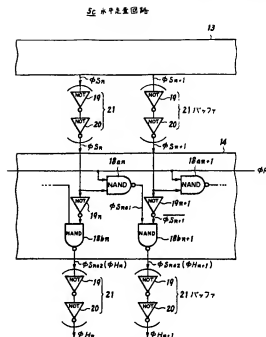


水平アドレス回路の動作の一例を示す波形図
第 4 図

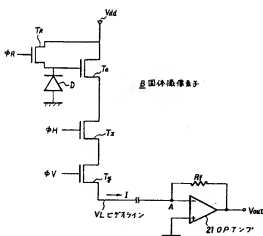
特開平 4-880 (12)



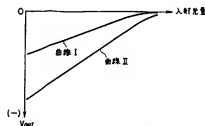
水平走査回路の変形例 1 を示す回路図
第 5 図



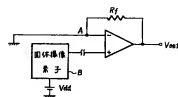
水平走査回路の他の変形例 2 を示す回路図
第 6 図



他の実施例の説明に供する固体撮像素子を示す等価回路図
第 7 図

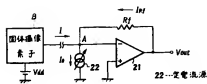
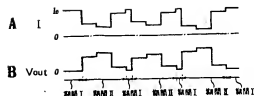
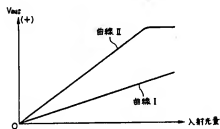
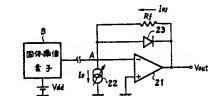
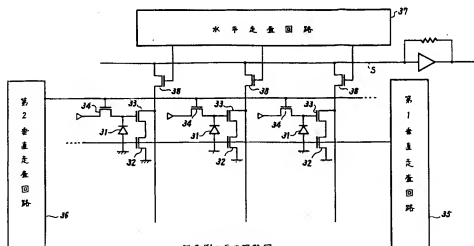


入射光量に対する出力電圧の变化を示す特性図
第 8 図

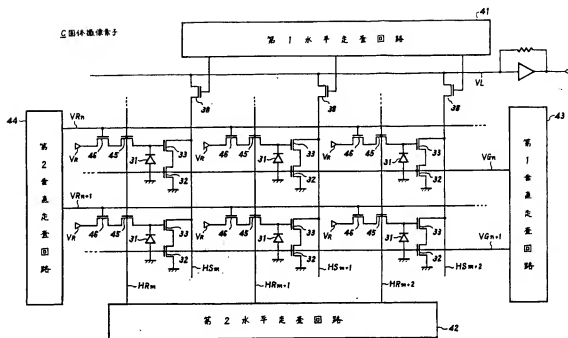


他の実施例の説明に供する固体撮像素子の他の例を示す等価回路図
第 9 図

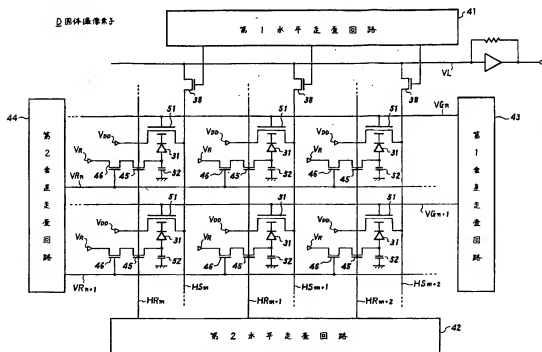
特開平4-880 (13)

他の実施例に係る出力部の一例を示す等価回路図
第10図出力電流に対する出力電圧の出力状態を示す波形図
第12図入射光量に対する出力電圧の変化を示す特性図
第11図他の実施例に係る出力部の他の例を示す等価回路図
第13図従来例を示す回路図
第14図従来例の読出し動作を示す波形図
第15図

特開平 4-880 (14)



従来例に係る固体撮像素子を示す回路図
第16図



他の従来例に係る固体撮像素子を示す回路図
第18図